

PICTURE DISPLAY DEVICE

Publication number: JP10312173

Publication date: 1998-11-24

Inventor: USHIKUSA YOSHISUKE

Applicant: PIONEER ELECTRONIC CORP

Classification:

- international: H05B33/08; G09G3/20; G09G3/30; H01L51/50; H05B33/12;
H05B33/02; G09G3/20; G09G3/30; H01L51/50; H05B33/12;
(IPC1-7): G09G3/30; H05B33/08

- European:

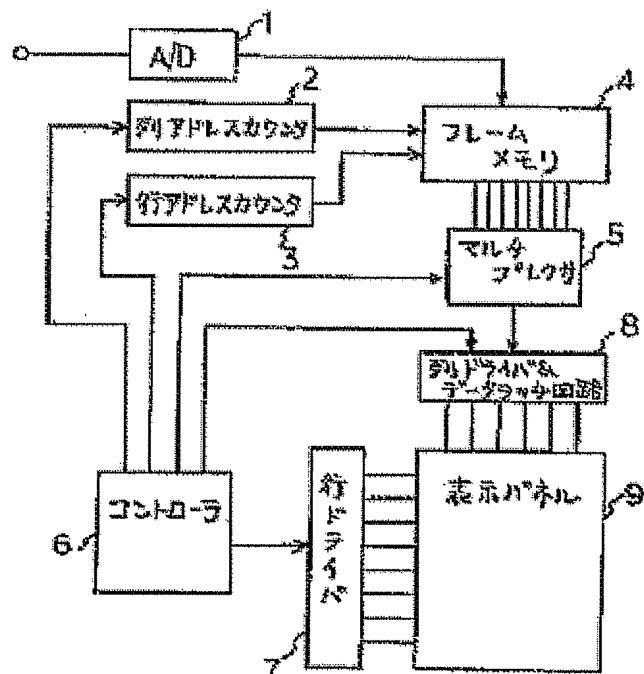
Application number: JP19970136010 19970509

Priority number(s): JP19970136010 19970509

[Report a data error here](#)

Abstract of JP10312173

PROBLEM TO BE SOLVED: To easily perform expressions having luminance gradations and also correctly in accordance with a video signal with simple structure by making currents from driving electrodes so as not to be supplied to all pixels in an address period determining light emissions or non-light emissions of all pixels and also supplying currents from the driving electrodes to the pixels after the address period is completed. SOLUTION: A controller 6 supplies column data for every subfield successively held in a data latch circuit 8 to a display panel 9 in a row unit and also makes EL elements emit lights simultaneously in the pixel column had by a corresponding row by a row driver 7. Then, an active matrix driving in which in the address period determining all light emissions or non-light emissions of plural pixels, all connections of driving electrodes and the plural pixels are cut and also the driving electrodes and the plural pixels are connected after the address period is completed is performed. Thus, instantaneous luminances of EL elements are respectively made constant in respective pixels and also displays having luminance gradations are correctly performed.



Family list1 family member for: **JP10312173**

Derived from 1 application

[Back to JP103121](#)**1 PICTURE DISPLAY DEVICE****Inventor:** USHIKUSA YOSHISUKE**Applicant:** PIONEER ELECTRONIC CORP**EC:****IPC:** H05B33/08; G09G3/20; G09G3/30 (+9)**Publication info:** **JP10312173 A** - 1998-11-24Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-312173

(43)公開日 平成10年(1998)11月24日

(51)Int.Cl.⁶

G 0 9 G 3/30

H 0 5 B 33/08

識別記号

F I

G 0 9 G 3/30

J

H 0 5 B 33/08

審査請求 未請求 請求項の数 8 FD (全 9 頁)

(21)出願番号

特願平9-136010

(22)出願日

平成9年(1997)5月9日

(71)出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72)発明者 牛草 義祐

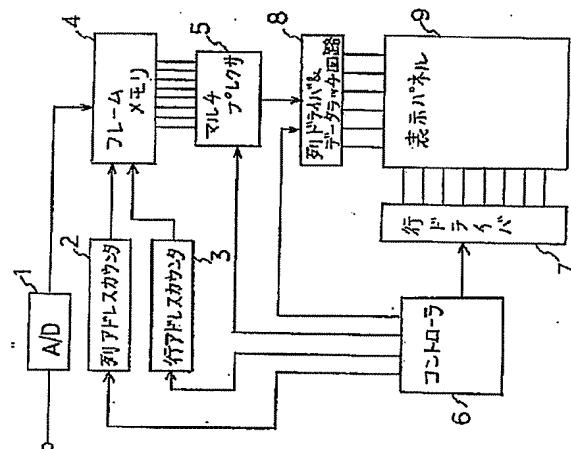
埼玉県鶴ヶ島市富士見6丁目1番1号 バイオニア株式会社総合研究所内

(54)【発明の名称】 画像表示装置

(57)【要約】

【課題】 簡単な構造で容易にしかも映像信号に応じて正確に輝度階調の表現(表示制御)を行なうことができる画像表示装置を提供することを目的とする。

【解決手段】 複数の画素がマトリクス状に配列されるEL素子を用いた画像表示装置であって、複数の画素は、各々駆動電極に接続可能とされた単一のEL素子と、EL素子に直列に接続されゲートに電荷が保持される場合にEL素子に電流を流すように構成されたトランジスタと、EL素子を発光させるか否かを決定すると共に、発光する場合はトランジスタのゲートに電荷を供給する発光決定手段とを備えて構成され、複数の画素の全ての発光又は非発光を決定するアドレス期間においては、駆動電極と複数の画素との全ての接続を断ると共に、アドレス期間終了後に駆動電極と複数の画素とを接続するようにしたことを特徴とする。



1

2

【特許請求の範囲】

【請求項1】 複数の画素がマトリクス状に配列されるEL素子を用いた画像表示装置であって、

前記画素の各々は、駆動電極からの駆動電流が供給されるEL素子と、

前記EL素子に直列に接続され、ゲートに電荷が保持される場合に前記EL素子を通電可能とするドライブ用トランジスタと、

前記EL素子の発光するか否かを決定すると共に発光する場合は前記トランジスタのゲートに電荷を供給する発光決定手段とを備えて構成され、

全ての前記画素の発光又は非発光を決定するアドレス期間においては前記駆動電極からの電流が全ての前記画素に供給されないようにすると共に、前記アドレス期間終了後には前記駆動電極からの電流を前記画素に供給せるようにしたことを特徴とする画像表示装置。

【請求項2】 複数の画素がマトリクス状に配列されるEL素子を用いた画像表示装置であって、

前記画素の各々は、駆動電極からの駆動電流が供給されるEL素子と、

前記EL素子に直列に接続され、ゲートに電荷が保持される場合に前記EL素子を通電可能とするドライブ用トランジスタと、

前記EL素子の発光するか否かを決定すると共に発光する場合は前記トランジスタのゲートに電荷を供給する発光決定手段と、

全ての前記画素の発光又は非発光を決定するアドレス期間においては前記駆動電極からの電流が全ての前記画素に供給されないようにすると共に、前記アドレス期間終了後には前記駆動電極からの電流を前記画素に供給せするスイッチ手段とから構成されることを特徴とする画像表示装置。

【請求項3】 前記画素の全てにおいて、前記発光決定手段が前記ドライブ用のトランジスタのゲートに供給する電位は同一電位であることを特徴とする請求項1又は2に記載の画像表示装置。

【請求項4】 前記発光決定手段は、アドレス選択用のトランジスタからなるものであり、そのソースがデータ電極線に接続され、ゲートがアドレスデータ電極線に接続され、ドレインが前記ドライブ用のトランジスタに接続されることを特徴とする請求項1乃至3に記載の画像表示装置。

【請求項5】 前記ドライブ用のトランジスタのゲートには電荷保持用のコンデンサが接続されていることを特徴とする請求項1乃至4に記載の画像表示装置。

【請求項6】 前記スイッチ手段は、駆動電極と前記ドライブ用のトランジスタの間に設けられるものであることを特徴とする請求項1乃至5に記載の画像表示装置。

【請求項7】 前記画像表示装置は、サブフィールド2

⁹ 階調法による輝度階調を表現することを特徴とする請

求項1乃至6に記載の画像表示装置。

【請求項8】 前記EL素子は、有機化合物からなる発光層を有することを特徴とする請求項1乃至7に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機エレクトロルミネッセンス素子（以下、有機EL素子と称する）等のエレクトロルミネッセンス素子（EL素子）を用いた表示装置に関する。

【0002】

【従来の技術】従来、ガラス板、あるいは透明な有機フィルム上に形成した蛍光体に電流を流して発光させる有機EL素子が知られている。図5に、かかる有機EL素子の概略構成を示す。図5において、ガラス基板301の上面には透明電極302が形成されており、この透明電極302の上面には発光層303が形成されている。さらに、かかる発光層303の上面には金属電極304が形成されている。

【0003】図6は、有機EL素子を等価的に表した電気回路図である。一般に有機EL素子は図6に示されるが如く、回路抵抗成分Rと、容量成分Cと、発光成分Dとにより等価的に表される、容量性の発光素子であると考えられている。

【0004】従つて、有機EL素子は、図5に示すスイッチ305によって発光駆動電圧306が、透明電極302と金属電極304間に印加されると、先ず、素子の電気容量に相当する電荷が電極に変位電流として流れ込み蓄積される。続いて一定の電圧（障壁電圧）を越えると、電極から有機層に電流が流れ始め、この電流に比例して発光が始まる。

【0005】さらに、複数の有機EL素子を用いた表示装置の例を図7を参照しつつ説明する。このような表示装置は図7に示すように、陰極線走査回路51と陽極線ドライブ回路52と表示パネル55とから構成される。陰極線走査回路51と表示パネル55とは接続部を構成する接続端子b1～bnを介して接続され、陽極線ドライブ回路52と表示パネル55とは同じく接続部を構成する接続端子a1～amを介して接続されている。

【0006】図7の駆動方法は、単純マトリクス駆動方式と呼ばれるもので、陽極線A1～Amと陰極線B1～Bnをマトリクス（格子）状に配置し、このマトリクス状に配置した陽極線と陰極線の各交点位置に有機EL素子E_{1,1}～E_{m,n}を接続し、この陽極線または陰極線のいずれか一方を一定の時間間隔で順次選択して走査すると共に、この走査に同期して他方の線を駆動源たる電流源521～52mでドライブしてやることにより、任意の交点位置の有機EL素子を発光させるようにしたものである。

【0007】有機EL素子のドライブ法には、陰極線走

3

査・陽極線ドライブ、陽極線走査・陰極線ドライブの2つの方法があるが、図7は、陰極線走査・陽極線ドライブの場合を示しており、陰極線B1～Bnに陰極線走査回路51を接続すると共に、陽極線A1～Amに電流源521～52mからなる陽極線ドライブ回路52を接続したものである。陰極線走査回路51は、スイッチ531～53nを一定時間間隔で順次アース端子側へ切り換えながら走査していくことにより、陰極線B1～Bnに対してもアース電位(0V)を順次与えていく。

【0008】また、陽極線ドライブ回路52は、前記陰極線走査回路51のスイッチ走査に同期してスイッチ541～54mをオン・オフ制御することにより陽極線A1～Amに電流源521～52mを接続し、所望の交点位置の有機EL素子に駆動電流を供給する。

【0009】例えば、有機EL素子E2,1～E3,1を発光させる場合を例に採ると、図7に示すように、陰極線走査回路51のスイッチ531がアース側に切り換えられ、第1の陰極線B1にアース電位が与えられている時に、陽極線ドライブ回路52のスイッチ542と543を電流源側に切り換え、陽極線A2とA3に電流源522と523を接続してやれば良い。このような走査とドライブを高速で繰り返すことにより、任意の位置の有機EL素子を発光させると共に、各有機EL素子があたかも同時に発光しているように制御するものである。

【0010】走査中の陰極線B1以外の他の陰極線B2～Bnには電源電圧と同電位の逆バイアス電圧Vccを印加してやることにより、誤発光を防止している。なお、図7では、駆動源として電流源521～52mを用いたが、電圧源を用いても同様に実現することができる。

【0011】図8は、上述した構成の有機EL素子を用いた有機EL表示装置の構成を示すブロック図である。同図において、101はA/D変換回路、103はフレームメモリ、104はコントローラ、105は走査回路、106は書き込み回路、107は電源回路、109は表示パネルを示す。

【0012】A/D変換回路101は、アナログ映像信号入力を受けてデジタル映像信号データに変換する。変換されたデジタル映像信号はA/D変換回路101からフレームメモリ103へ供給され、コントローラ104の制御により書き込み蓄積される。コントローラ104は、入力映像信号の水平及び垂直同期信号に同期してフレームメモリ103他電源回路107までの各回路を制御する。

【0013】フレームメモリ103に蓄積されたデジタル映像信号データは、コントローラ104によって読み出され、書き込み回路106に送られる。また、表示パネルの各行及び列に接続された書き込み回路106及び走査回路105をコントローラ104で順次制御することにより、フレームメモリに蓄積されていた画像に対応

4

した表示パネル109の有機EL素子の発光を制御して所望の画像表示が得られる。電源回路107は、表示パネル109の全有機EL素子への電源を供給する。

【0014】有機EL表示装置はこのように構成されるが、この有機EL表示装置を用いて上述したような単純マトリクス駆動等の線順次駆動を行なうと、配線抵抗の増加や瞬時輝度の確保のために消費電力が増加するという問題がある。このため、有機EL表示装置では、各画素に対応する有機EL素子をアクティブマトリクス駆動により発光制御することが望ましい。

【0015】一方、有機EL素子は、発光を持続するメモリ性を有しないため、有機EL表示装置では、FET等のTFT(薄膜トランジスタ)を用いてメモリ性をもたせるように回路構成して各画素の駆動時における発光を維持している。

【0016】図9は、上記アクティブマトリクス駆動による発光制御を行うための表示パネルの単位画素に対応する回路構成の一例を示した図である。同図において、FET(Field Effect Transistor)201(アドレス選択用トランジスタ)のゲートGは、走査回路105からの行を走査する走査信号が供給されるアドレス走査電極線を形成し、一方FET201のソースSは、書き込み回路106からのフレームメモリ103のデータに対応した信号が供給されるデータ電極線を形成している。

【0017】FET201のドレインDはFET202(ドライブ用トランジスタ)のゲートGに接続され、キャパシタ(コンデンサ)203を通じて接地されている。FET202のソースSは接地され、ドレインDは有機EL素子205の陰極に接続され、有機EL素子2

30 05の陽極を通じて電源に接続されている。なお、各画素の有機EL素子205が有する陽極は共通電極を形成し、この共通電極が上述した電源に接続されている。

【0018】次に、このような回路が行及び列に複数配列して構成された表示パネルの単位画素の発光制御動作について述べる。先ず、図9においてFET201のゲートGにオン電圧が供給されると、FET201はソースSに供給されるデータの電圧に対応した電流をソースSからドレインDへ流す。

【0019】FET201のゲートGがオフ電圧である40とFET201はいわゆるカットオフとなり、FET201のドレインDはオープン状態となる。従って、FET201のゲートGがオン電圧の期間に、ソースSの電圧に基づいた電流でキャパシタ203が充電され、その電圧がFET202のゲートGに供給されてFET202はそのゲート電圧と電源から有機EL素子205を通じて供給されるドレインDにかかる電圧に基づいた電流が有機EL素子205を通じてドレインDからソースSへ流れ、有機EL素子205を発光せしめる。

【0020】FET201のゲートGがオフ電圧になると、FET201はオープン状態となり、FET202

5

はキャパシタ203に蓄積された電荷によりゲートGの電圧が保持され、次の走査まで電流を維持し、有機EL素子205の発光も維持される。

【0021】なお、FET202のゲートGとソースS間にはゲート入力容量が存在するので、キャパシタ203を省略しても上記と同様の動作が可能である。

【0022】アクティブマトリクス駆動による発光制御を行うための表示パネルの単位画素に対応する回路はこのように構成され、画素が駆動された場合に当該画素の発光が維持される。また、各画素の輝度階調は、ゲートGにかかる電圧の振幅変調によって行われる。即ち、FET202は、ゲートGにかかる電圧によってソースS・ドレインDを流れる電流量が変化するため、有機EL表示装置の各部が、供給される映像信号に応じて、ゲートGにかかる電圧の大きさを調整することにより、有機EL素子205に流れる電流量つまり素子の瞬時輝度を調整することができる。

【0023】

【発明が解決しようとする課題】ところが、上述したような振幅変調によって輝度階調を行う表示パネルにおいては、ゲートGにかかる電圧値とソースS・ドレインD間を流れる電流値が非線形の関係にあるため、所望の瞬時輝度を得るために輝度調整が難しいという問題がある。

【0024】つまり、ゲートGにかかる電圧値を2倍にしても、ソースS・ドレインD間を流れる電流値は2倍にはならない（即ち、素子の瞬時輝度は2倍にならない）関係にあるため、所望の瞬時輝度を得るために、トランジスタの電圧-電流特性を把握した上で、ゲートGにかかる電圧値を高精度で制御する必要があった。

【0025】本発明は上述の問題点に鑑みなされたものであり、簡単な構造で容易にしかも映像信号に応じて正確に輝度階調の表現（表示制御）を行なうことができる画像表示装置を提供することを目的とする。

【0026】

【課題を解決するための手段】請求項1記載の発明は、複数の画素がマトリクス状に配列されるEL素子を用いた画像表示装置であって、画素の各々は、駆動電極からの駆動電流が供給されるEL素子と、EL素子に直列に接続され、ゲートに電荷が保持される場合にEL素子を通電可能とするドライブ用トランジスタと、EL素子の発光するか否かを決定すると共に発光する場合はトランジスタのゲートに電荷を供給する発光決定手段とを備えて構成され、全ての画素の発光又は非発光を決定するアドレス期間においては駆動電極からの電流が全ての画素に供給されないようにすると共に、アドレス期間終了後には駆動電極からの電流を画素に供給するようにしたことを特徴とする。

【0027】また、請求項2記載の発明は、複数の画素がマトリクス状に配列されるEL素子を用いた画像表示

6

装置であって、画素の各々は、駆動電極からの駆動電流が供給されるEL素子と、EL素子に直列に接続され、ゲートに電荷が保持される場合にEL素子を通電可能とするドライブ用トランジスタと、EL素子の発光するか否かを決定すると共に発光する場合はトランジスタのゲートに電荷を供給する発光決定手段と、全ての画素の発光又は非発光を決定するアドレス期間においては駆動電極からの電流が全ての画素に供給されないようにすると共に、アドレス期間終了後には駆動電極からの電流を画素に供給させるスイッチ手段とから構成されることを特徴とする。

【0028】また、請求項3記載の発明は、請求項1又は2に記載の画像表示装置において、画素の全てにおいて、発光決定手段がドライブ用のトランジスタのゲートに供給する電位は同一電位であることを特徴とする。

【0029】また、請求項4記載の発明は、請求項1乃至3に記載の画像表示装置において、発光決定手段は、アドレス選択用のトランジスタからなるものであり、そのソースがデータ電極線に接続され、ゲートがアドレスデータ電極線に接続され、ドレインがドライブ用のトランジスタに接続されることを特徴とする。

【0030】また、請求項5記載の発明は、請求項1乃至4に記載の画像表示装置において、ドライブ用のトランジスタのゲートには電荷保持用のコンデンサが接続されていることを特徴とする。

【0031】また、請求項6記載の発明は、請求項1乃至5に記載の画像表示装置において、スイッチ手段は、駆動電極とドライブ用のトランジスタの間に設けられるものであることを特徴とする。

【0032】また、請求項7記載の発明は、請求項1乃至6に記載の画像表示装置において、画像表示装置は、サブフィールド2ⁿ階調法による輝度階調を表現することを特徴とする。

【0033】また、請求項8記載の発明は、請求項1乃至7に記載の画像表示装置において、EL素子は、有機化合物からなる発光層を有することを特徴とする。

【0034】

【作用】本発明は以上のように構成したので、発光表示装置は、複数の画素がマトリクス状に配列される各EL素子に直列に接続された各トランジスタのゲートに電荷が保持される場合に、各EL素子に電流が流れるように制御し、EL素子を発光させる場合は、発光決定手段が、対応するトランジスタのゲートに電荷を供給し、複数の画素の全ての発光又は非発光を決定するアドレス期間においては、駆動電極と複数の画素との全ての接続を断ると共に、アドレス期間終了後に駆動電極と複数の画素とを接続するアクティブマトリクス駆動制御を行なうようにしたので、各画素においてEL素子の瞬時輝度をそれぞれ一定にできると共に、2ⁿサブフィールド法等の発光時間の長さに基づいた輝度調整が可能である

ため、輝度階調の表示を正確に行うことができる。

【0035】

【発明の実施の形態】次に、本発明に好適な実施形態について図面をもとに説明する。本実施形態における発光表示装置は、表示パネルの各画素に有機EL素子を用いるものとし、各画素は、2ⁿ サブフィールド法に基く発光制御により輝度階調されるものとする。図1は、本発明における有機EL表示装置の主要構成を示すブロック図である。同図において、1はA/D変換器、2は列アドレスカウンタ、3は行アドレスカウンタ、4はフレームメモリ、5はマルチプレクサ、6はコントローラ、7は行ドライバ、8は列ドライバ、9は表示パネルを示す。

【0036】A/D変換回路1は、アナログ映像信号入力を受けてデジタル映像信号データに変換する。変換されたデジタル映像信号はA/D変換回路1からフレームメモリ4へ供給され1フレーム単位のデジタル映像信号データが一旦フレームメモリ4に記憶される。

【0037】一方、コントローラ6は、相異なる発光時間をパラメータとする複数（ここでは8つ）のサブフィールドによって、上記フレームメモリ4に記憶されたデジタル映像信号データを、列アドレスカウンタ2及び行アドレスカウンタ3を用いて制御することにより、複数（ここでは8つ）の階調表示データに変換し、それぞれ表示パネル9の画素のアドレスに対応する発光・非発光データと共に順次マルチプレクサ5に供給する。

【0038】また、コントローラ6は、マルチプレクサ5に供給された発光・非発光データの中から各サブフィールドに対応する列データを第1行目から順次画素の配列順にドライバ8が有するデータラッチ回路に保持せらるるように制御する。

【0039】コントローラ6は、データラッチ回路によつて順次保持された各サブフィールド毎の列データを、1行単位で表示パネル9に供給すると共に、行ドライバ7によって対応する行が有する画素列において同時に発光させる。この動作は、1フレームのデータ単位で、第1サブフィールドから第8サブフィールドまでのそれぞれの列データに関して行われる（ここでは8回行われる）ので、表示パネル9の各画素は、供給される各サブフィールドに対応する累積発光時間だけ発光し、1フレーム分の発光表示を階調表示によって行うことができる。

【0040】なお、本実施形態に用いられる8つのサブフィールド（第1サブフィールド～第8サブフィールド）のデータは、所定の高さを有するパルスデータのパルス幅を2ⁿ サブフィールド法に基く8種類の幅に設定している。即ち、第1サブフィールドから第8サブフィールドまでのデータが有するパルス幅の比率を第1サブフィールドから順に、それぞれ1/2、1/4、1/8、1/16、1/32、1/64、1/256、と設

定することで、256通りの輝度階調表示に対応させている。

【0041】本発明における有機EL表示装置は、このように構成され、入力されるアナログ映像信号に対し、各サブフィールド毎に表示パネルの画面全体のアドレス走査による全面同時発光を繰り返すことにより、フレーム単位の発光表示を階調表示によって行う。

【0042】次に、表示パネル9が有する1画素周辺の構成について説明する。図2は、図1における表示パネル9の1画素に対応する回路構成の一例を示した図である。また、図2に示す回路構成は、先に述べた図9に示す各回路構成に加えて切替スイッチ10を有機EL素子205の陽極側に設けて、電源Vocとアース端子との切替接続が可能なように構成される。

【0043】また、有機EL素子205は表示パネル9の各画素に対応して複数設けられているが、図2に示すように、各画素に対応する有機EL素子205の陽極は、互いに電気的に接続された共通電極を構成している。表示パネル9の1画素に対応する回路は以上のように構成され、このような回路が行及び列に対応して複数配列して表示パネル9を構成する。

【0044】次に、コントローラ6が、フレームメモリ4に記憶されたデジタル映像信号データに基づいて表示パネル9を階調表示による発光制御動作について詳述する。先ず、コントローラ6は、デジタル映像信号データがフレームメモリ4に供給されると、1フレーム分のデジタル映像信号データをフレームメモリ4に書き込む。

【0045】次に、コントローラ6は、マルチプレクサ5に対し第1サブフィールド（1/2）のデータを出力する旨の指令を出す。次に、コントローラ6は、行アドレスカウンタ3に対して第1行を指定する旨の指令を出すと共に、列アドレスカウンタ2に対して第1列を指定する旨の指令を出す。

【0046】このことにより、指定されたアドレス（第1行、第1列）の1フレーム分のデジタル映像信号データが8つの階調表示データに変換され、表示パネル9の画素のアドレスに対応する発光・非発光データを含んだデータとして順次マルチプレクサ5に供給される。

【0047】次に、コントローラ6は、マルチプレクサ5に供給された上記指定されたアドレス（第1行、第1列）のデータの中から第1サブフィールドのデータを列ドライバ8に出力する。列ドライバ8では、列ドライバ8が有するデータラッチ回路によってこのデータを保持する。

【0048】次に、コントローラ6は、列アドレスカウンタ2に対して列を1つ更新する指令を出す。即ち、列アドレスカウンタ2に対して第2列を指定する旨の指令を出す。このことにより、アドレス（第1行、第2列）が指定され、先に述べたアドレス（第1行、第1列）が指定された場合と同様の動作を繰り返す。

【0049】このようにして、コントローラ6は、第1行の各列に対し順次同様の動作を繰り返すことにより、第1行の全ての列のデータを列ドライバ8が有するデータラッチ回路の保持させる。

【0050】次に、コントローラ6は、行アドレスカウンタ3を第2行に指定する旨の指令を出すと共に、列アドレスカウンタ2を第1列に指定する旨の指令を出して先に述べた第1行の場合と同様に第2行のデータラッチを行うように制御する。

【0051】またこの動作と同時に、コントローラ6は、列ドライバ8及び行ドライバ7を駆動して、各画素に設けられた回路(図2参照)を後述する手順により動作させ、既に列ドライバ8のデータラッチ回路に保持されている第1行のデータをそれぞれ対応する各列の画素に書き込ませる。

【0052】次に、コントローラ6は、行アドレスカウンタ3を第3行に指定する旨の指令を出すと共に、列アドレスカウンタ2を第1列に指定する旨の指令を出して先に述べた第1行及び第2行の場合と同様に第3行のデータラッチを行うように制御する。

【0053】またこの動作と同時に、コントローラ6は、列ドライバ8及び行ドライバ7を駆動して、後述する手法により、既に列ドライバ8のデータラッチ回路に保持されている第2行のデータをそれぞれ対応する各列の画素に書き込ませる。

【0054】コントローラ6は、このような動作を全ての行に亘って行うことにより、第1サブフィールドのデータを全ての画素に対応して書き込むことができる。次に、コントローラ6は、各画素の共通電極である有機EL素子205の陽極側に接続される切替スイッチ10を電源Voc側に切替えて表示パネル9の全部の画素を一齊に発光制御する。このことにより、表示パネル9は、第1サブフィールドのデータに対応した発光がなされる。

【0055】次に、マルチプレクサ5に対し第2サブフィールド(1/4)のデータを出力する旨の指令を出す。以下、コントローラ6は、先に述べた第1サブフィールドの場合と同様の動作を繰り返し、第2サブフィールドのデータに対応した発光がなされる。

【0056】このようにして、第1サブフィールドから第8サブフィールド(1/256)までに対応した発光がなされ、第8サブフィールドの発光が終了した時点で1フレームの駆動が完了する。その後、コントローラ6は、フレームメモリ4に記憶されるデータを次のフレームに対応するデータに書き替えて、次のフレームの発光制御を行う。

【0057】次に、コントローラ6が、列ドライバ8及び行ドライバ7を駆動して、各画素に第1サブフィールドから第8サブフィールドまでの各データを順次書き込んで発光させるために、各画素に設けられた回路(図2

参照)を駆動させる動作手順を説明する。

【0058】図2において、コントローラ6は、切替スイッチ10をアース端子側に切替えて、各画素に対応する有機EL素子205の陽極側である共通電極を接地させて、各有機EL素子205が発光しないようにする。

【0059】次に、コントローラ6は、全ての画素の発光又は非発光を決定するアドレス期間の第1行に対応する所定期間内において、先ず行ドライバ7によって第1行のアドレス走査電極線を走査し、次に列ドライバ8のデータラッチ回路に保持された第1サブフィールドのデータをデータ電極線を通じて第1行の各列の画素に対応して入力する。

【0060】ここで、アドレス走査電極線は走査が行われていない場合には、Lの期間となり前回のON、OFFの状態を保持しているが、走査が行われる場合には、アドレス走査電極線がHの期間となり、データ電極線に入力されるデータに応じて電荷がキャパシタ203に溜まり、電圧Vが保持される。

【0061】従って、第1行のアドレス走査電極線が走査され、データが入力された場合には、第1行の各列に対応する各キャパシタ203は、入力されるデータの電位に応じた電荷が溜まることになる。なお、データ電極線の電位が0V(接地)の場合には、キャパシタ203には電荷が溜まらず、対応する画素はOFFとなる。

【0062】このことにより、列ドライバ8のデータラッチ回路に保持された第1サブフィールドのデータがデータ電極線を通じて第1行の各列の画素に対応して入力される。このデータにより、発光させるべき画素に対しては対応するFET201のゲートGにオン電圧が加わり、発光させない画素に対しては対応するFET201のゲートGにオフ電圧が加わる。

【0063】次に、コントローラ6は、第2行の走査を行い、上述した第1行の場合と同様に第2行の各列に対応する画素に対する第1サブフィールドのデータをデータ電極線を通じて入力する。このようにして、コントローラ6が全行についての走査が終了すると、発光させるべき画素に対しては、そのFET202に直列に接続されたキャパシタ203に電荷が溜まり、FET202のゲート電位がVとなる。また、発光しない画素に対しては、FET202のゲート電位が0となる。

【0064】この状態で、コントローラ6は、切替スイッチ10を電源Voc側に切替えることにより、各画素の有機EL素子205に共通な陽極である共通電極に、電圧(Voc)を第1サブフィールドのデータに対応する時間だけ印加する。このことにより、各画素の有機EL素子205には一齊に電圧(Voc)が加わることとなるが、この場合に、FET202のゲート電位がVとなる有機EL素子には、第1サブフィールドのデータに対応する時間だけ電流が流れ発光するが、FET202のゲート電位が0となる有機EL素子には、電流が流

II

れず、従つて発光しない。

【0065】次に、コントローラ6は、アドレス期間の第2行に対応する所定期間内において、上述した第1行に対応する所定期間内における制御動作と同様、各行各列の画素に対し、第2サブフィールドのデータに対応した発光制御を行う。

【0066】図3は、コントローラ6が上記各サブフィールド毎に行う発光制御のタイミングを示す図である。

【0067】このようにして、コントローラ6は、各行各列の画素に対し、1つのアドレス期間終了から次のアドレス期間開始までの発光期間において、順次第1サブフィールドのデータから第8サブフィールドのデータまでに対応して発光を繰り返すように制御することにより、図4に示すように、デジタル映像信号データの1フレーム毎に、各画素を256通りの累積発光時間でそれぞれ発光させることができ、表示パネル9を256通りの輝度階調表示によって発光させる。

【0068】なお、本実施形態においては、各画素に対応するFET202のゲートに直列に電荷保持用のキャパシタ203を設けるようにしたが、FET202自体が容量性を有するのでFET202に電荷を保持させるようにしても良い。

【0069】また、切替スイッチ10は、FET202のドレイン側に設けてもよく、この場合、切替スイッチ10は、電源Vocと同電位の端子もしくはアース端子のいずれか一方に対し接続可能とされるものである。そして、アドレス期間のときは切替スイッチ10を電源Vocと同電位の端子に接続し、発光期間のときは切替スイッチ10をアース端子に接続する。また、FET201、202は、一般的な3端子トランジスタであれば利用可能である。

【0070】また、本実施形態においては、表示パネルの発光素子に有機EL素子を用いて説明したが、発光素子はこれに限らず、電流を流すことにより自発光を行うEL素子であれば良い。

【0071】

【発明の効果】本発明は以上のように構成したため、発光表示装置は、複数の画素がマトリクス状に配列される各EL素子に直列に接続された各トランジスタのゲートに電荷が保持される場合に、各EL素子に電流が流れるよう制御し、EL素子を発光させる場合は、発光決定手段が、対応するトランジスタのゲートに電荷を供給し、複数の画素の全ての発光又は非発光を決定するアド

レス期間においては、駆動電極と複数の画素との全ての接続を断るとと共に、アドレス期間終了後に駆動電極と複数の画素とを接続するアクティブマトリクス駆動制御を行なうようにしたので、各画素においてEL素子の瞬時輝度をそれぞれ一定にできると共に、2ⁿサブフィールド法等の発光時間の長さに基づいた輝度調整が可能であるため、輝度階調の表示を正確に行なうことができる。

【図面の簡単な説明】

10 【図1】本発明における有機EL表示装置の主要構成を示すブロック図である。

【図2】図1における表示パネルの1画素に対応する回路構成の一例を示した図である。

【図3】コントローラが上記各サブフィールド毎に行う発光制御のタイミングを示す図である。

【図4】デジタル映像信号データの1フレーム期間における発光タイミングを示す図である。

【図5】有機EL素子の概略構成を示す図である。

20 【図6】有機EL素子を等価的に表した電気回路図である。

【図7】有機EL素子の単純マトリクス駆動方式を示す図である。

【図8】単純マトリクス駆動方式を用いた有機EL表示装置の構成を示すブロック図である。

【図9】アクティブマトリクス駆動による発光制御を行うための表示パネルの単位画素に対応する回路構成の一例を示した図である。

【符号の説明】

1 ····· A/D変換器

30 2 ····· 列アドレスカウンタ

3 ····· 行アドレスカウンタ

4 ····· フレームメモリ

5 ····· マルチプレクサ

6 ····· コントローラ

7 ····· 行ドライバ

8 ····· 列ドライバ

9 ····· 表示パネル

10 ····· 切替スイッチ

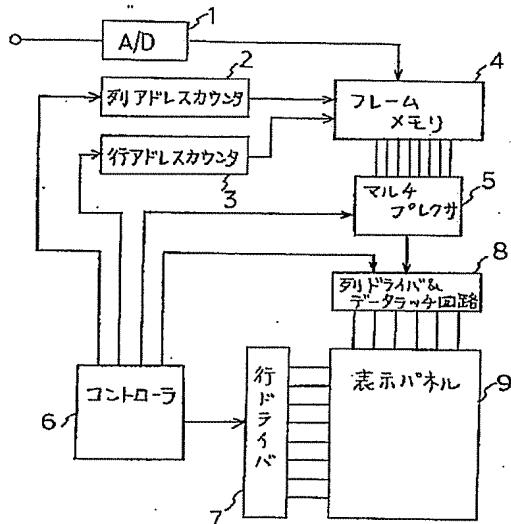
201 ···· FET

40 202 ···· FET

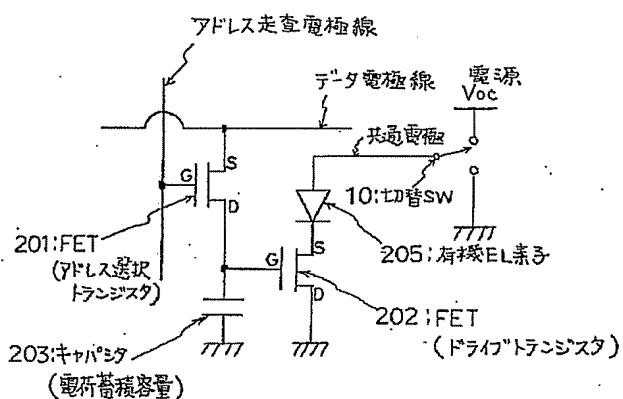
203 ···· キャパシタ

205 ···· 有機EL素子

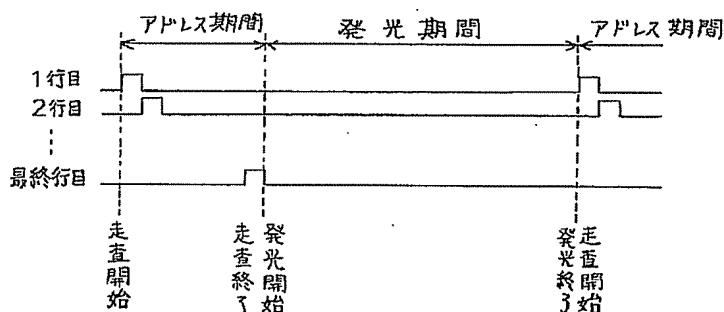
【図1】



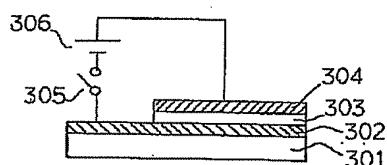
【図2】



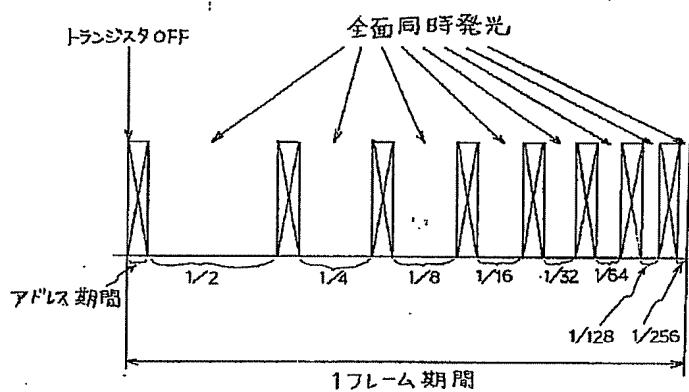
【図3】



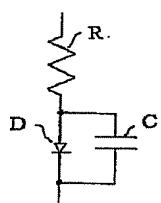
【図5】



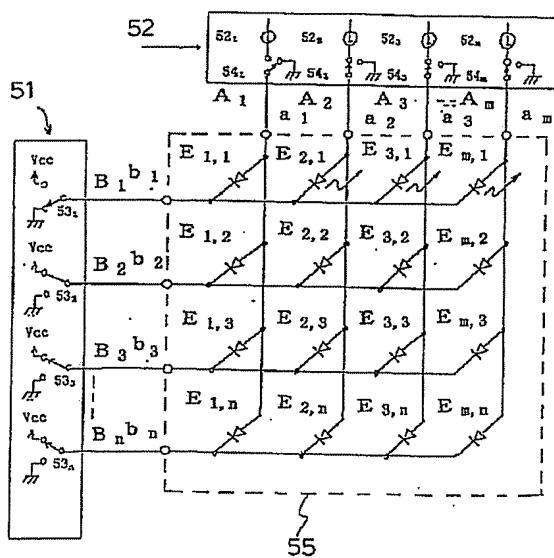
【図4】



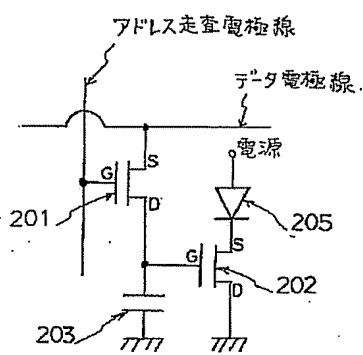
【図6】



【図7】



【図9】



【図8】

